

PAT-NO: JP02002016173A
DOCUMENT-IDENTIFIER: JP 2002016173 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: January 18, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
YANAGIURA, SATOSHI	N/A
OKA, SEIJI	N/A
FUJIOKA, HIROFUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP2000198427

APPL-DATE: June 30, 2000

INT-CL (IPC): H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device for enabling high density wiring and preventing peeling at the time of reflow.

SOLUTION: A substrate 1 is composed of a bottom plate 11 composed of a metal and a frame material 12 composed of a resin composite material and is provided with a recessed part 22. A semiconductor chip 2 is buried in the recessed part 22, an insulation layer 3 provided with an inter-layer conductive part 42 on the terminal of the semiconductor chip 2 is provided on it and the insulation layer 3 is provided with conductor wiring 41 in continuity with the inter-layer conductive part. Further, the insulation layer provided with a stud via and a

conductor wiring pattern are laminated on the conductor wiring 41 by a build-up method.

COPYRIGHT: (C) 2002, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-16173

(P2002-16173A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 L 23/12		H 0 1 L 23/12	5 0 1 S
	5 0 1		5 0 1 P
			J

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号 特願2000-198427(P2000-198427)

(22)出願日 平成12年6月30日(2000.6.30)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 柳浦 聡

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 岡 誠次

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 藤岡 弘文

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100102439

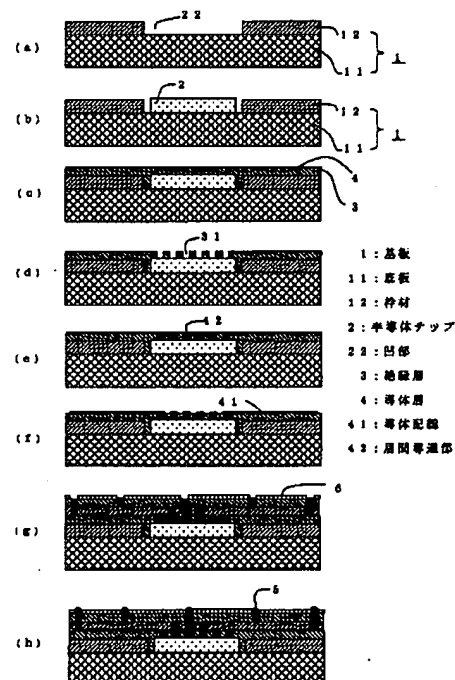
弁理士 宮田 金雄 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 高密度配線が可能で、リフロー時の剥離を防止された半導体装置を得る。

【解決手段】 基板1は金属からなる底板11と樹脂複合材からなる枠材12からなり、凹部22を有する。凹部22には半導体チップ2が埋め込まれ、その上には半導体チップ2の端子に層間導通部42を有した絶縁層3が設けられ、絶縁層3には層間導通部と導通する導体配線41を設けられ、さらに導体配線41上にビルドアップ法により、スタッドビアを有する絶縁層と導体配線パターンが積層される。



【特許請求の範囲】

【請求項1】 凹部を有する基板、上記凹部に埋め込まれた半導体チップ、上記半導体チップおよび基板表面を被覆し、上記半導体チップの接続端子部に開口を有する絶縁層、上記開口を導電性材料で導通を持たせた層間導通部、並びに上記絶縁層に設け、上記層間導通部と導通する導体配線を備えた半導体装置であって、上記基板が、サーマルバイヤーを形成した樹脂複合材料、または金属からなる底板と、この底板に接着され、上記半導体チップより大きい貫通孔を有し、ポリイミドまたは樹脂複合材料からなる枠材とを備えたものであることを特徴とする半導体装置。

【請求項2】 導体配線の上にビルドアップ法により、ビア内を導電性の材料で充填したスタッドビアを有する絶縁層と導体配線を順次積層したことを特徴とする請求項1に記載の半導体装置。

【請求項3】 樹脂複合材料が樹脂と、ガラスクロス、ガラス不織布、ポリアミド系不織布または液晶ポリマー系不織布とで構成されていることを特徴とする請求項1または請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に半導体チップ等の電子部品を実装した半導体装置に関するものである。

【0002】

【従来の技術】従来、半導体インターポザー基板を含んだパッケージのチップとインターポザー基板の接続はワイヤーボンドかバンパ接続で行っているが、位置合わせ精度や電極の微細化に限界があり、0.4mm以下のピッチに対応するのは困難と考えられる。

【0003】この対策として、高密度配線半導体チップをフェイスアップで基板に埋め込み、アウトバンプを引き出す方法が下記特許公報に記載されている。即ち、特開平4-25038号公報には、基材凹部に、外部接続端子が表面に設けられたチップを埋め込み、この上に絶縁層を設けて上記外部接続端子部分にビアホールを形成した後、上層回路とバンパを形成し、それ以外の領域にソルダーレジストを形成したもので、上記基材としては、アルミニウム等の金属を用い、凹部をエッチングや機械的切削により設けたものや、熱硬化性樹脂等を用い、凹部を機械的切削や射出成形により設けたものが記載されている。

【0004】また、特開平9-321408号公報には、上記公報と同様にして半導体チップを埋め込み、さらにビルドアップにより多層化したもので、半導体チップの外部接続端子として、スタッドバンパを用い、上記凹部は削り出しにより形成したもので、打ち抜かれたものが記載されている。

【0005】また、特開平1-175297号公報に

は、一枚の基板の両面に、半導体チップの大きさの貫通孔を同一箇所に形成した二枚の基板を貼り合せた基板を用い、上記貫通孔に半導体チップを埋め込むことにより、高密度実装を行い、上記基板としてはガラスエポキシ等、銅張り積層板を用いたものが記載されている。

【0006】

【発明が解決しようとする課題】しかしながら、特開平4-25038号公報に記載のものは、配線の展開が一層なので十分な引きまわしができず、放熱対策として金属基材表面に凹部を形成したものをを用いているが、加工に高いコストがかかったり、リフロー時に、金属基材とこの上に設けた絶縁層との熱膨張の差により、金属基材と絶縁層の間に剥離が生じるという課題があった。また、樹脂からなる基材は、樹脂を機械加工したり、熱可塑性樹脂を射出成形して得ているが前者は高いコストがかかり、後者は離型剤を含有しているため上からコーティングする絶縁層との密着性が悪く、また、基材自体の熱膨張率が大きいので、半導体チップとの熱膨張係数差が大きく、リフロー時に半導体チップが割れたり、半導体チップとの間に剥離が生じやすいという課題があった。さらに後者ではチップの放熱性が悪く、チップの誤動作の原因となる。

【0007】特開平9-321408号公報に記載のものは、スタッドバンパを用いるのでスタッドビア構造を得るのが困難であるため、高密度の配線引きまわしには不向きで、また、凹部を削り出した基板の材料は考慮されていないので、上記と同様、リフロー時に半導体チップ間に剥離が生じやすい、チップの放熱が不十分という課題があった。

【0008】特開平1-175297号公報に記載のものは、第1、第2の基板（底板と枠材に相当）としてガラスエポキシ等銅張り積層板が用いられているが、熱伝導性が悪く放熱性に課題があった。

【0009】本発明はかかる課題を解消するためになされたもので、放熱性に優れ、かつリフロー時の剥離の発生が防止された半導体装置が得られる。

【0010】

【課題を解決するための手段】本発明に係る第1の半導体装置は、凹部を有する基板、上記凹部に埋め込まれた半導体チップ、上記半導体チップおよび基板表面を被覆し、上記半導体チップの接続端子部に開口を有する絶縁層、上記開口を導電性材料で導通をとった層間導通部、並びに上記絶縁層に設け、上記層間導通部と導通する導体配線を備えた半導体装置であって、上記基板が、サーマルバイヤーを形成した樹脂複合材料、または金属からなる底板と、この底板に接着され、上記半導体チップより大きい貫通孔を有し、ポリイミドまたは樹脂複合材料からなる枠材とを備えたものである。

【0011】本発明に係る第2の半導体装置は、上記第1の半導体装置において、導体配線の上にビルドアップ法

により、ビア内を導電性の材料で充填したスタッドビアを有する絶縁層と導体配線を順次積層したものである。

【0012】本発明に係る第3の半導体装置は、上記第1または第2の半導体装置において、樹脂複合材料が樹脂と、ガラスクロス、ガラス不織布、ポリアミド系不織布または液晶ポリマー系不織布とで構成されているものである。

【0013】

【発明の実施の形態】実施の形態1. 図1(a)～(h)は、本発明の実施の形態の半導体装置を製造する工程を示す説明図であり、図中、1は基板で、底板11と枠材12からなり、2は半導体チップ、22は凹部、3は絶縁層、31は開口、4は導体層、41は導体配線、42は層間導通部、5はバンプ、6はソルダーレジストである。

【0014】本発明の実施の形態に係る凹部を有する基板1は、底板11と枠材12からなり枠材12により基板1に凹部22を形成し、枠材12は半導体チップ2を底板11にフェイスアップして載置できる半導体チップ2より大きい貫通孔を有したものである。

【0015】底板11としては、銅、42アロイもしくはアルミ等の金属、またはサーマルバイヤーを形成した樹脂複合材料が用いられ、放熱性に優れるという効果がある。樹脂複合材料の樹脂成分としては、エポキシ、ポリパラフェニレン系樹脂またはBTレジンが用いられ、補強成分としては、液晶ポリマー不織布、ポリアミド繊維不織布、ガラスクロスまたはガラス不織布が用いられる。サーマルバイヤーとは底板上部（チップ実装側）に発生した熱を底板裏側に逃がすために形成されたスルーホールのこと、底板にφ0.25mm～φ0.6mmの貫通孔をドリル等であけ、その孔壁または孔全体に金属メッキまたは高熱伝導材料を充填したものである。高熱伝導材料とは有機樹脂に金属粒子やセラミック粒子を充填したもので熱伝導率が1.0W/mK以上のものである。底板にその裏面となる側に銅箔を貼り付けた樹脂複合材料を用い、サーマルバイヤーを設けた場合、サーマルバイヤーを伝わって裏側に回った熱はさらに底板裏側の銅箔に伝わりそこから空気中に効率的に放熱され、銅箔の上に放熱フィンやファンなどを設けることにより放熱性は一層強化される。また、底板にその両面に銅箔を貼り付けた樹脂複合材料を用いる場合は、半導体チップを設ける位置にサーマルバイヤーを形成して放熱性を維持し、かつ枠材を設ける位置の金属層を除くことにより枠材との密着性を向上することができる。また、底板11として金属を用いると、放熱性に優れるとともに、半導体チップ2との熱膨張率差が小さいため、リフロー時の剥離を防止できる。

【0016】また、枠材12としては、上記樹脂複合材料プリプレグの他、ポリイミドフィルムまたは液晶ポリマーフィルムが用いられるが、ポリイミドフィルムは耐

熱性に優れるとともに、熱膨張率が小さく、絶縁層との密着性が良いためリフロー時の剥離を防止できる。

【0017】さらに、本発明に係る半導体パッケージは底板の片側に絶縁層と導体配線を積んでゆくので、後工程において反りが発生しないようなある程度剛性の高い底板、枠板が好ましく、例えば底板に銅を用いる場合は0.5mm厚以上の銅板が好ましく、枠板の厚さは用いる半導体チップの厚さと同程度が良い。

【0018】また、ビルドアップ法により絶縁層と導体配線を積層して多層配線を施す場合、本実施の形態に係る上記基板を用いることにより、チップから発生する熱を効率よく外部に放熱することができ、チップの温度上昇を押さえチップの誤動作や破壊を防止するという効果が得られる。

【0019】次に、図1を用いて、本発明の実施の形態の半導体装置を製造する工程を説明する。まず、上記枠材12と底板11を貼り合わせることで凹部22を有する基板1を得る（図1(a)）。貼り合わせは熱プレスまたは熱ラミネーターが量産性の点で好ましい。枠材が複合材プリプレグの場合はそのまま貼り合わせ可能であるが、樹脂フィルムの場合接着剤を用いる必要がある。

【0020】次に、上記のようにして得られた基板1の凹部22に半導体チップをフェイスアップして貼り付ける（図1(b)）。貼り付けには高放熱性の観点から熱伝導性の高いダイボンド剤を用いることが好ましい。熱伝導性の高いダイボンド材とはエポキシ樹脂やポリイミド樹脂中に銅、銀、アルミナ、ダイヤモンド、窒化珪素または窒化硼素などのフィラーを高充填したもので、熱伝導率としては、2.0W/m・K以上が好ましい。

【0021】次に上から一層目の絶縁層3を形成する（図1(c)）。絶縁層3は液状樹脂、フィルム樹脂、RCC(Resin Coated Copper)のいずれでも良いが、多層に積層する観点から上層の平坦性は重要であり、その点を考慮するとフィルムまたはRCCが好ましく、図は絶縁層としてRCCを用いた場合を示し、絶縁層に導体層4が貼られている。絶縁層がRCCの場合、積層は熱プレスまたは真空ラミネーターを用い、フィルムの場合は真空ラミネーターを用いる。

【0022】絶縁層3に開口31（バイアホール）を形成する（図1(d)）が、絶縁層が感光性を有している場合は露光、現像により一括でバイアホールを形成することが可能であり、感光性を有していない場合はレーザー光を用いてバイアホールを形成する。レーザー光としては炭酸ガスレーザー、エキシマレーザー、YAGレーザーの高調波が好ましい。エキシマレーザーはマスクを用いたエリア一括露光が可能であり、他のレーザーは一穴ずつのビーム照射となる。また、レーザーでバイアホールを形成した場合、バイアホール底部に絶縁膜残渣が残ったり、また絶縁膜に銅箔が付いていない場合、絶縁

膜に銅メッキ密着性を付与させるために、絶縁膜のパターニング工程の後、過マンガン酸処理工程、プラズマ処理工程またはオゾン水処理工程の何れかを施す必要がある。

【0023】得られたバイアホール31に導電性材料を充填して層間導通部42を形成する(図1(e))。層間導通部42は開口31に導電性材料を充填することにより形成するので、スタッドビア形成が可能になり、高密度実装が可能となる。充填する方法として銅メッキを用いる方法と導電性ペーストを用いる方法がある。絶縁層にRCCを用いた場合、導電性ペーストでバイアホールを充填することによりメッキレスでの配線形成が可能となる。導電性ペーストでバイアホールを充填する場合は減圧下で印刷可能であるスクリーン印刷を用いるのが好ましい、但し設備の都合上減圧下で印刷出来ない場合でも、加圧下で硬化することによりボイドレスの充填が可能である。絶縁層に銅箔が付いていない場合は、メッキによりバイアホールを充填する方法が工程を短縮できる点で好ましい。バイアホール充填を銅メッキで行う場合は通常の無電解メッキ後、特殊なビアフィル銅メッキメッキ用電解メッキ液を用いる必要があるがこれらは市販されており、容易に入手可能である。但しビアフィル銅メッキでビアを充填した場合、絶縁膜表面にも厚いCuメッキが形成される場合もあるので、その場合は必要に応じ表面銅メッキ膜厚をハーフエッチングまたは研磨によって薄くする必要がある。

【0024】次に得られた導体層4を通常のサブトラスト法により導体配線41を形成する(図1(f))。また微細な配線形成を行う場合はセミアデティブ銅メッキ法を適用しても良い。この方法は無電解メッキ形成後、メッキレジストパターンを形成し、開口部に電解メッキを積み上げ、配線形成を行った後、レジストを剥離し、パターン間に残った無電解メッキをソフトエッチングで除去することにより微細で厚い銅配線パターンを得るためのものである。

【0025】さらに絶縁層形成、バイアホール形成、バイアホール導体接続(又は充填)、配線形成を繰り返すことによりビルドアップ配線層の多層化が達成され、本発明の実施の形態の半導体装置を得ることができ、さらに、最外層パターン上にソルダーレジスト6を形成し(図1(g))、接続用のバンパ5やボールを形成する(図1(h))。

【0026】

【実施例】実施例1. 厚さ0.5mmの405mm×340mm銅板を底板11とし、酸化膜除去処理後、シランカップリング剤処理する。次に、250μm厚FR-5(商品名:エポキシマルチR-1766, 松下電工(株)製)ガラスクロス・エポキシアプレグに15mm角の孔を28個(縦4列、横7列)あけたものを枠材12とし、これを上記銅板に、プレス積層することによ

り、凹部22を設けた基板1を得る。

【0027】上記凹部22に、高熱伝導性粘着シート(商品名:T-gon2000, サーマゴンINC製)を貼り付けた後、14mm角の半導体チップ2(pin数2025、パット(表面処理された銅)径φ100μm、最短ピッチ370μmの千鳥配列)を、フェイスアップで圧着する。次に、68μm厚の感光性ドライフィルム(DFと略す)(商品名:ViaLux, Dupont(株)製)を真空ラミネーターで上からラミネートし、チップの端子部分に合わせて紫外線を用いてパターニングを行い、φ75μmビアホール穴を形成する。次に、過マンガン酸工程(膨潤・過マンガン酸処理・還元)を行い、DFの表面粗化を行った後、無電解メッキおよびビアフィル電解銅メッキ(商品名:キューブライト, 荏原ユージーライト(株)製)を施しビア穴を埋め込むと同時にDF上に導体層を形成する。このとき導体層厚は25μmであった。次に導体層をハーフエッチングし、導体層厚を10μmとしたのちエッチングドライフィルムにより導体層のパターニングを行った。ビア上のランド径はφ100μm、配線L/Sは30μm/30μmとした。

【0028】得られた基板1上の配線を表面処理(CZ処理)(商品名:エッチボンド, メック(株)製)し、50μm厚の感光性ドライフィルム(商品名:ViaLux, Dupont(株)製)をラミネート後、前工程と同様、ビアフィルメッキされたバイアホールおよび厚さ10μmの導体層を作製し、配線パターンをエッチングにより形成する。以下同様な工程で導体層が合計9層になるように順次積み上げ、最上層に端子部を開口させたソルダーレジストを形成する。最後に個片にカットすることにより、基板1枚につき28個の半導体パッケージを得た。得られたパッケージのチップ・底板裏面間の熱抵抗を測定したところ0.1℃/Wであった。

【0029】実施例2. 厚さ0.5mmの405mm×340mmの42アロイ板を底板11とし、これをシランカップリング剤処理した。その後、15mm角の孔を28個(縦4列、横7列)あけた250μm厚液晶ポリマー不織布・エポキシアプレグを枠材12とし、これを上記アロイ板にプレス積層し、凹部22を設けた基板1を得た。凹部22に高熱伝導性粘着シート(商品名:T-gon2000, サーマゴンINC製)を貼り付けた後、14mm角の半導体チップ2(pin数2025、パット(表面処理済みの銅)径φ100μm、最短ピッチ370μmの千鳥配列)を、フェイスアップで圧着する。

【0030】次に、RCC(樹脂厚100μm、銅箔厚12μm)(商品名:R-0870, 松下電工(株)製)を熱プレスで上から積層し、チップの端子部分に合わせて炭酸ガスレーザーを用いてパターニングを行い、φ75μmビアホール穴を形成した。但しこのあとビア

底に残った樹脂残渣を除去するため酸素プラズマでホールクリーニングを行った。次にエポキシ樹脂に銀コート銅フィラーを含有した導電性ペースト（商品名：京都エレクトックス社（株）製）を真空スクリーン印刷機を用いてビア穴に埋め込み、熱硬化した後はみ出した部分を研磨により除去した。

【0031】次にエッチングドライフィルムにより導体層のパターニングを行った。ビア上のランド径は $\phi 100\mu\text{m}$ 、配線のL/Sは $30\mu\text{m}/30\mu\text{m}$ とした。得られた基板上の配線に黒化処理を施し、 $50\mu\text{m}$ 厚のRCCを積層後、前工程と同様レーザー穴あけ、導電性ペーストが充填されたバイアホールおよび配線パターンをエッチングにより形成する。以下同様な工程で導体層が合計9層になるように順次積み上げ、最上層に端子部を開口させたソルダーレジストを形成する。最後に個片にカットすることにより、基板1枚につき28個の半導体パッケージを得た。得られたパッケージのチップ・底板裏面間の熱抵抗を測定したところ $0.2\text{W}/^\circ\text{C}$ であった。

【0032】実施例3. 厚さ 0.7mm で $405\text{mm}\times 340\text{mm}$ の銅板を底板11とし、これを酸化膜除去処理、シランカップリング剤処理する。 15mm 角の孔を28個（縦4列、横7列）あけた $150\mu\text{m}$ 厚の片面接着剤付きプラズマ表面処理済みポリイミドフィルムを枠材12として、上記底板11に熱圧着し、凹部を有する基板を形成した。凹部に高熱伝導性粘着シート（商品名：T-gon2000、サーマゴンINC製）を貼り付けた後、 14mm 角の半導体チップ2（pin数2025、パット（表面処理銅）径 $\phi 100\mu\text{m}$ 、最短ピッチ $370\mu\text{m}$ の千鳥配列）を、フェイスアップで圧着する。

【0033】次に $68\mu\text{m}$ 厚の感光性ドライフィルム（DF）（商品名：ViaLux, Dupont（株）製）を真空ラミネーターで上からラミネートし、チップの端子部分に合わせて紫外線を用いてパターニングを行い、 $\phi 75\mu\text{m}$ のビアホール穴を形成した。次に過マンガン酸工程（膨潤・過マンガン酸処理・還元）を行い、DFの表面粗化を行った後、無電解メッキおよびビアフィル電解銅メッキ（商品名：キューブライト、荏原ユージーライト（株）製）を施しビア穴を埋め込むと同時にDF上に導体層を形成する。このとき導体層厚は $25\mu\text{m}$ であった。次に導体層をハーフエッチングし、導体層厚を $10\mu\text{m}$ としたのちエッチングドライフィルムにより導体層のパターニングを行った。ビア上のランド径は $\phi 100\mu\text{m}$ 、配線のL/Sは $30\mu\text{m}/30\mu\text{m}$ とした。得られた基板上の配線にCZ処理を施し、 $50\mu\text{m}$ 厚のDF（商品名：ViaLux, Dupont（株）製）をラミネート後、前工程と同様、ビアフィルメッキされたバイアホールおよび厚さ $10\mu\text{m}$ の導体層を作製し、配線パターンをエッチングにより形成する。以下同

様な工程で導体層が合計9層になるように順次積み上げ、最上層に端子部を開口させたソルダーレジストを形成する。最後に個片にカットすることにより、基板1枚につき28個の半導体パッケージを得た。得られたパッケージのチップ・底板裏面間の熱抵抗を測定したところ $0.1\text{W}/^\circ\text{C}$ であった。

【0034】実施例4. 厚さ 1mm で両面に厚 $18\mu\text{m}$ の銅箔を貼り付けた $405\text{mm}\times 340\text{mm}$ のガラスエポキシ積層板（商品名：エポキシマルチ、松下電工（株）製）の、半導体チップを実装する部分に予め4個の $\phi 0.3\text{mm}$ の貫通孔をドリルであけ、デスミアした後、 $20\mu\text{m}$ 厚のスルーホールめっきを行い、サーマルバイヤーホールを形成しこれを底板11とする。

【0035】 15mm 角の孔を28個（縦4列、横7列）あけた $250\mu\text{m}$ 厚のガラスエポキシプリプレグFR-4（松下電工（株）製）を枠材12として、上記底板11にプレス積層し、凹部を有する基板を形成した。この際、凹部にはサーマルバイヤーホールが露出している状態にある。上記凹部に高熱伝導性粘着シート（商品名：T-gon2000、サーマゴンINC製）を貼り付けた後、 14mm 角の半導体チップ2（pin数2025、パット（表面処理銅）径 $\phi 100\mu\text{m}$ 、最短ピッチ $370\mu\text{m}$ の千鳥配列）を、フェイスアップで圧着する。

【0036】次に、 $68\mu\text{m}$ 厚の感光性ドライフィルム（DF）（商品名：ViaLux, Dupont（株）製）を真空ラミネーターで上からラミネートし、チップの端子部分に合わせて紫外線を用いてパターニングを行い、 $\phi 75\mu\text{m}$ のビアホール穴を形成した。次に過マンガン酸工程（膨潤・過マンガン酸処理・還元）を行い、DFの表面粗化を行った後、無電解メッキおよびビアフィル電解銅メッキ（商品名：キューブライト、荏原ユージーライト（株）製）を施しビア穴を埋め込むと同時にDF上に導体層を形成する。この際、下面に露出してサーマルバイヤー内もめっきされる。このとき導体層厚は $25\mu\text{m}$ であった。次に導体層をハーフエッチングし、導体層厚を $10\mu\text{m}$ としたのちエッチングドライフィルムにより導体層のパターニングを行った。ビア上のランド径は $100\mu\text{m}$ 、配線のL/Sは $30\mu\text{m}/30\mu\text{m}$ とした。得られた基板上の配線にCZ処理を施し、 $50\mu\text{m}$ 厚のDF（商品名：ViaLux, Dupont（株）製）をラミネート後、前工程と同様、ビアフィルメッキされたバイアホールおよび厚さ $10\mu\text{m}$ の導体層を作製し、配線パターンをエッチングにより形成する。以下同様な工程で導体層が合計9層になるように順次積み上げ、最上層に端子部を開口させたソルダーレジストを形成する。最後に個片にカットすることにより、基板1枚につき28個の半導体パッケージを得た。得られたパッケージのチップ・底板裏面間の熱抵抗を測定したところ $0.9\text{W}/^\circ\text{C}$ であった。

【0037】比較例1. 30mm角、5mm厚ガラスエポキシ積層板(商品名:FR-4, 松下電工製)に、実装する14mm角の半導体チップ(pin数2025)と同形状の凹部を機械的切削法により形成し、チップをフェイスアップでシリコンダイボンド剤にて基板凹部に接着した。さらにその上から感光性エポキシ系層間絶縁膜(商品名:XP-9500cc, シプレィ・ファースト(株)製)を硬化後の厚さ50 μ mになるように塗布し、90℃45分乾燥した。チップの端子部分に合わせて紫外線を用いてパターニングを行い、 ϕ 75 μ mビアホール穴を形成した。次に過マンガン酸工程(膨潤・過マンガン酸処理・還元)を行い、表面粗化を行った後、無電解銅メッキ・電解銅メッキを行ったところビアホール形状に沿った形でメッキが形成された。ついでフォトリソ法にて銅のパターニング(L/S=30 μ m/30 μ m)を行った。次に配線引きまわしのため同様なプロセスでフォトリソビルドアップ法にて多層配線を形成した。このときスタットビア構造がとれないため上下層のビアを少しずらしてテアドロップ型ランドを用いた。そのためバンパ間に配線を2本通すことができず、合計17層積み上げなければならなかった。さらにできあがったパッケージはマザーボード接続の際金バンパでDBA(ダイレクトボンディングアタッチ)接続を試みたが加圧の際に端子部の沈降が起こり、良好な接続が得られなかった。また、得られたパッケージのチップ・底板裏面間の熱抵抗を測定したところ1.8W/℃であり、この構成ではチップから生じた熱を効率良く逃がすことができなかった。

【0038】比較例2. 30mm角、1mm厚銅板に、実装する14mm角の半導体チップ(pin数2025)と同形状の凹部を機械的切削法により形成し、チップをフェイスアップでシリコンダイボンド剤にて基板凹部に接着した。さらにその上から感光性エポキシ系層間絶縁膜(商品名:XP-9500cc, シプレィ(株)製)を硬化後の厚さ50 μ mになるように塗布し、90℃45分乾燥した。チップの端子部分に合わせて紫外線を用いてパターニングを行い、 ϕ 75 μ mのビアホール穴を形成した。次に過マンガン酸工程(膨潤・過マンガン酸処理・還元)を行い、表面粗化を行った後、無電解銅メッキ・電解銅メッキを行ったところビアホール形状に沿った形でメッキが形成された。ついでフォトリソ法にて銅のパターニング(L/S=30 μ m/30 μ m)を行った。次に配線引きまわしのため同様なプロセスでフォトリソビルドアップ法にて多層配

線を形成した。このときスタットビア構造がとれないため上下層のビアを少しずらしてテアドロップ型ランドを用いた。そのためバンパ間に配線を2本通すことができず、合計17層積み上げなければならなかった。得られたパッケージのチップ・底板裏面間の熱抵抗を測定したところ、良好であったが、さらにできあがった半導体パッケージはマザーボード接続の際金バンパでDBA接続を試みたが加圧の際に端子部の沈降が起こり、良好な接続が得られなかった。また得られたパッケージを半田リフローテストしたところ金属基材部とエポキシ層間絶縁膜の間に剥離が発生した。これは金属と層間絶縁膜の熱膨張差およびビルドアップ層の層数が多いために大きな応力が生じたことに起因する。

【0039】

【発明の効果】本発明の第1の半導体装置は、凹部を有する基板、上記凹部に埋め込まれた半導体チップ、上記半導体チップおよび基板表面を被覆し、上記半導体チップの接続端子部に開口を有する絶縁層、上記開口を導電性材料で導通をとった層間導通部、並びに上記絶縁層に設け、上記層間導通部と導通する導体配線を備えた半導体装置であって、上記基板が、サーマルバイヤーを形成した樹脂複合材料、または金属からなる底板と、この底板に接着され、上記半導体チップより大きい貫通孔を有し、ポリイミドまたは樹脂複合材料からなる枠材とを備えたもので、放熱性に優れ、リフロー時の剥離が防止できるという効果がある。

【0040】本発明の第2の半導体装置は、上記第1の半導体装置において、導体配線の上にビルドアップ法により、ビア内を導電性の材料で充填したスタッドビアを有する絶縁層と導体配線を順次積層したもので、高密度配線が可能であるという効果がある。

【0041】本発明の第3の半導体装置は、上記第1または第2の半導体装置において、樹脂複合材料が樹脂と、ガラスクロス、ガラス不織布、ポリアミド系不織布または液晶ポリマー系不織布とで構成されているもので、リフロー時の剥離が防止でき、耐熱性に優れるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態の半導体装置を製造する工程を示す説明図である。

【符号の説明】

1 基板、11 底板、12 枠材、2 半導体チップ、22 凹部、3 絶縁層、4 導体層、41 導体配線、42 層間導通部。

【図1】

